

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-236251

(43)Date of publication of application : 29.08.2000

(51)Int.Cl.

H03K 19/20

HO3M 1/74

(21)Application number : 11-248175

(71)Applicant : NEC CORP

(22)Date of filing : 02.09.1999

(72)Inventor : KUDO HIROSHI

(30)Priority

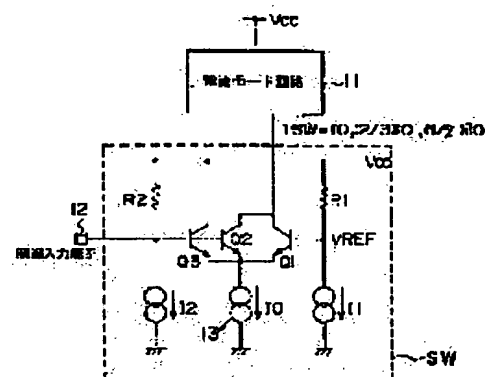
Priority number : 10355856 Priority date : 15.12.1998 Priority country : JP

(54) TERNARY SWITCH CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a ternary switch circuit from which three different current values can be taken out with a ternary logic control signal inputted to one control input terminal.

SOLUTION: This circuit has one control input terminal 12 and one output terminal and also includes at least two transistors Q1 and Q3, constituting a differential couple and a constant current source 13 connected to the common emitter terminal of the two transistors Q1 and Q3. The output terminal is connected to the collector of one transistor Q1 between the two transistors Q1 and Q3, and three different current values can be outputted from the output terminal according to three kinds of ternary logic signals to the control input terminal.



LEGAL STATUS

[Date of request for examination]

02.09.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3387859

[Date of registration]

10.01.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Japanese Publication for Unexamined Patent Application

No. 236251/2000 (Tokukai 2000-236251)

A. Relevance of the Above-identified Document

This document has relevance to claims 1 through 3 of the present application.

B. Translation of the Relevant Passages of the Document

[DETAILED DESCRIPTION OF THE INVENTION]

[0001]

The present invention relates to a ternary switch circuit having one input terminal and one output terminal and capable of obtaining three different current values from one output terminal.

[0002]

[CONVENTIONAL ART]

The following will describe a conventional current switch circuit with reference to Figure 17. In Figure 17, the current switch circuit includes a current mode circuit 91, two current sources 92 and 93 connected to the current mode circuit 91, and switches SW1 and SW2 for switching between the current sources 92 and 93. The current sources 92 and 93 have current values of I_0 and $I_0/2$, respectively. A low-level or high-level control input signal is fed to a control input terminal 94. This control

input signal as a switching signal of the switches SW1 and SW2 is supplied to the switch SW2 via an inverter 95, and further supplied to the switch SW1 via an inverter 96.

[0003]

This current switch circuit has an arrangement such that switching between two current sources are performed with the switches SW1 and SW2 to obtain different electric properties by changing the current value of the current mode circuit 91. More specifically, either of the current source 92 or the current source 93 can be selected by selecting the switch SW1 or the switch SW2 with one high-level or low-level control input signal.

[0006]

Therefore, an object of the present invention is to provide a ternary switch circuit from which three different current values can be taken out with a ternary logic control signal inputted to one control input terminal.

[0007]

Another object of the present invention is to realize simplified bias setting of a switch circuit.

[0008]

The present invention offers a ternary switch circuit having one control input terminal and one output terminal, the ternary switch circuit including: at least two transistors constituting a differential couple; and a

constant current source connected to a common emitter terminal of the two transistors, wherein a collector of one of the transistors is connected to the output terminal, whereby three different current values can be outputted from the output terminal according to ternary logic signals supplied to the control input terminal.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-236251
(P2000-236251A)

(43)公開日 平成12年 8 月29日 (2000.8.29)

(51)Int.Cl. ⁷	識別記号	F I	テームコード(参考)
H 0 3 K 19/20	1 0 1	H 0 3 K 19/20	5 J 0 2 2
H 0 3 M 1/74		H 0 3 M 1/74	5 J 0 4 2

審査請求 有 請求項の数10 O L (全 9 頁)

(21)出願番号 特願平11-248175

(22)出願日 平成11年 9 月 2 日 (1999.9.2)

(31)優先権主張番号 特願平10-355856

(32)優先日 平成10年12月15日 (1998.12.15)

(33)優先権主張国 日本 (J P)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72)発明者 工藤 宏

東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

(74)代理人 100071272

弁理士 後藤 洋介 (外 1 名)

Fターム(参考) 5J022 BA00 BA06 CF04 CG01

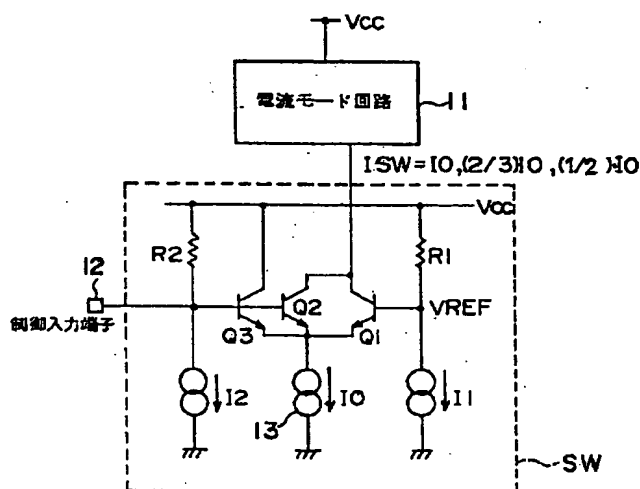
5J042 AA10 BA13 CA00 CA06 CA11
CA27 DA00

(54)【発明の名称】 3値スイッチ回路

(57)【要約】

【課題】 1つの制御入力端子に入力される3値論理制御信号により3種類の電流値の出力を取り出すことのできる3値スイッチ回路を提供すること。

【解決手段】 1つの制御入力端子12と1つの出力端子とを有すると共に、差動対を構成する少なくとも2つのトランジスタQ1、Q3と、該2つのトランジスタの共通エミッタ端子に接続された定電流源13とを含む。前記2つのトランジスタの一方のトランジスタQ1のコレクタを出力端子に接続することにより、前記制御入力端子への3種類の3値論理信号に応じて前記出力端子から3種類の電流値の出力を可能とした。



(3)

3

れかに出力を振り分けるものであり、3つの出力端子が必要となる。また、3つの出力端子の出力電流は同一である。

【0006】それゆえ、本発明の課題は、1つの制御入力端子に入力される論理値信号により3種類の電流値の出力を取り出すことのできる3値スイッチ回路を提供することにある。

【0007】本発明の他の課題は、スイッチ回路のバイアス設定の簡略化を実現することにある。

【0008】

【課題を解決するための手段】本発明によれば、1つの制御入力端子と1つの出力端子とを有すると共に、差動対を構成する少なくとも2つのトランジスタと、該少なくとも2つのトランジスタの共通エミッタ端子に接続された1つの定電流源とを含み、前記少なくとも2つのトランジスタのうち一方のトランジスタのコレクタを前記出力端子に接続することにより、前記制御入力端子への3値論理制御信号に応じて前記出力端子から3種類の電流値の出力を可能としたことを特徴とする3値スイッチ回路が提供される。

【0009】本発明の態様によれば、前記差動対を構成する2つのトランジスタにトランジスタを1つ追加して3トランジスタ構成とし、前記3つのトランジスタの全てのエミッタは前記定電流源に接続し、前記2つのトランジスタのうち他方のトランジスタと追加のトランジスタのベースは共通で前記制御入力端子に接続し、前記一方のトランジスタのベースは基準電圧源に接続し、前記出力端子には前記一方のトランジスタのコレクタと前記追加のトランジスタのコレクタを共通に接続したことを特徴とする3値スイッチ回路が提供される。

【0010】本発明の別の態様によれば、前記差動対を構成する2つのトランジスタQ1、Q3に1つのトランジスタQ2を追加して3トランジスタ構成とし、前記3つのトランジスタQ1～Q3の全てのエミッタは前記定電流源に接続し、前記2つのトランジスタのうち他方のトランジスタQ3と追加のトランジスタQ2のベースは共通で前記制御入力端子に接続し、前記一方のトランジスタQ1のベースは基準電圧源に接続し、前記出力端子には前記一方のトランジスタQ1のコレクタと前記追加のトランジスタQ2のコレクタを共通に接続し、前記トランジスタQ3、Q2、Q1の面積比を $h:m:n$ とし、 $h+m=n$ となるようにしたことを特徴とする3値スイッチ回路が提供される。

【0011】なお、いずれの態様においても、出力側にカレントミラー回路を接続して出力電流を折り返し、電源VCCの端子に接続された電流モード回路に供給するようにしても良い。

【0012】

【作用】本発明は、スイッチ回路の定電流源を1つで構成し、かつ1つの制御入力端子に3つの論理モードの入

4

力を与え、1つの出力端子より3通りの電流値を取り出す構成である。このことより、機能効率、集積効率の良い回路を得ることができる。

【0013】すなわち、本発明による3値スイッチ回路は、1制御入力端子、1出力端子の構成で、制御入力端子に3値論理制御信号を印加することにより、出力端子には入力論理値に応じ3通りの電流値を取り出すことを特徴とする電圧制御電流出力回路であり、出力電流は3値スイッチ回路を構成する電流源1個の値を分割し得る回路構成である。

【0014】特に、上記の別の形態においては、本スイッチ回路を構成する差動対の3つのトランジスタの面積比 $h:m:n$ を $h+m=n$ と条件付けし、スイッチ回路のバイアス設定の簡略化を実現することができる。

【0015】

【発明の実施の形態】本発明による3値スイッチ回路（以下、スイッチ回路と呼ぶ）の基本構成を図1に示す。図1において、このスイッチ回路SWは、電流モード回路11の電流値 I_{SW} を可変とすることにより、特性を変化させることができるように構成されている。このために、スイッチ回路SWは、1つの制御入力端子12と、1つの出力端子と、3つのトランジスタQ1、Q2、Q3と、定電流源13とを含む。制御入力端子12にはロウレベルL、ハイレベルH、オープンHIZの3値論理値が入力され、出力端子からは定電流源13の電流値 I_O を基準とし、 I_O 、 $(2/3) \cdot I_O$ 、 $(1/3) \cdot I_O$ の比率で電流を出力することができるように構成されている。なお、入力の3値論理は3ステート出力バッファから得られることを想定している。また、 I_1 、 I_2 を付された定電流源は、トランジスタQ1、Q3のバイアスを決めるための電流源であり、出力電流可変用の定電流源13とは別の機能を持つ。また、出力端子は、トランジスタQ1のコレクタと電流モード回路11との間に設定される。

【0016】図2は図1の応用例を示し、トランジスタQ61、Q62から成る差動対アンプの電流値を可変させて電圧ゲインを可変させる構成である。

【0017】図3を参照して、スイッチ回路SWの動作を説明する。出力電流 I_{SW} は、 $I_{SW} = I_{C1} + I_{C2}$ で表される。 I_{C1} 、 I_{C2} 、及び I_{C3} の定性的な関係について説明する。なお、 I_{C1} 、 I_{C2} 、 I_{C3} はそれぞれ、トランジスタQ1、Q2、Q3のコレクタ電流を表す。

【0018】このスイッチ回路SWの均等状態（制御入力が入力オープンHIZの場合）は、 $I_{C1} = I_{C2} = I_{C3} = (1/3) \cdot I_O$ になるようにトランジスタQ1のベース電圧（基準電圧 V_{REF} ）とトランジスタQ2、Q3のベース電圧（ V_{B3} ）を $V_{B3} = V_{REF} - 18$ （mV）に設定する。

【0019】すなわち、制御入力が入力オープンHIZの時

(5)

7

レベルH)の3種類が得られる。

【0037】図9は、図3におけるトランジスタQ3、Q2、Q1の面積比を、 $h(Q3) : m(Q2) : n(Q1) = 1 : 1 : 1$ とした場合について示している。図9のスイッチ回路は、前に述べたように、トランジスタQ1、Q2、Q3のエミッタが共通で定電流源13に接続され、かつトランジスタQ2、Q3のベースが共通であることにより、トランジスタQ1とトランジスタ(Q2、Q3)で構成するトランジスタ比が1:2の不均衡差動対回路である。

【0038】図10は、制御入力端子12の入力がロウレベルL、ハイレベルH、オープンHIZの場合に、出力端子においてそれぞれ得られる出力電流ISWの値を示している。

【0039】前に述べた(3)式より、 $IC1 = IC23 (= IC2 + IC3)$ に設定するにはトランジスタQ2、Q3のベース電圧VB3は、トランジスタQ1のベース電圧(基準電圧)VREFよりも、18mV低くバイアス設定しなければならない。

【0040】参考までに、トランジスタQ1とトランジスタ(Q2、Q3)のトランジスタ面積比対バイアスオフセット電圧の値を示す。1:2の時バイアスオフセットは18mV、1:3の時は28.5mV、1:4の時は36.0mV、1:5の時は41.8mVとなる。

【0041】図9のスイッチ回路では、バイアス電圧を決定する電流値I1、I2の定電流源、抵抗R1、R2の共通化が計れない複雑さが生じるデメリットがある。

【0042】図11、図12を参照して、上記のデメリットを改良した本発明の第5の実施の形態について説明する。図11において、本スイッチ回路は、1つの制御入力端子12(入力電圧VIN)と1つの出力端子(出力電流ISW)を有する。制御入力端子12にはロウレベルL、ハイレベルH、オープンHIZの3論理値が入力される。一方、トランジスタQ1のコレクタ端子側に設定される出力端子の出力電流ISWは、トランジスタQ3、Q2、Q1の各面積比 $h : m : n$ の構成により、定電流源13の電流値をIOとすると、 IO 、 $\{m / (h+m)\} \cdot IO$ 、 $\{(m+n) / (h+m+n)\} \cdot IO$ を出力できる構成である。

【0043】ここでも、入力の3論理値は3ステート出力バッファから得られることを想定している。

【0044】本スイッチ回路は、制御入力端子12への入力がオープンHIZ(入力電圧VIN=基準電圧VREF)の時の、出力電流ISW= $\{(m+n) / (h+m+n)\} \cdot IO$ を基準としており、制御入力端子12にロウレベルL、ハイレベルHが印可されたとき、出力電流ISWはそれぞれ、IOと $\{m / (h+m)\} \cdot IO$ を等間隔で電流を可変出力する構成である。

【0045】本スイッチ回路のバイアス電圧設定方法は、入力論理がオープンHIZの時、各トランジスタQ

8

1、Q2、Q3のコレクタ電流IC1、IC2、IC3が同一になるようにする必要があるため(入力論理に対し等間隔で電流を変化させるため)、本形態ではトランジスタ面積比 $h : m : n$ は $h+m=n$ の構成で具現化し、差動対トランジスタのベース・エミッタ間電圧(VBE23とVBE1)に差が生じないようにし、バイアス電圧を決める抵抗R1、R2、電流値I1、I2の定電流源の値I1、I2を同一値で構成し、シンプルな構成で入力電圧VIN=基準電圧VREFに設定できるようにした。

【0046】以下に、本形態によるスイッチ回路と、図9に示されたスイッチ回路との比較説明を行う。特性を同一とするため、本形態によるスイッチ回路の差動対のトランジスタ面積比を $h(Q3) : m(Q2) : n(Q1) = 1 : 1 : 2$ とした状態と、前に述べたように差動対の入力間にオフセットバイアス18mVを必要とする図9の構成(トランジスタ面積比 $h : m : n = 1 : 1 : 1$)を用いる。

【0047】図9のスイッチ回路では、バイアス電圧を決定する電流値I1、I2の定電流源、抵抗R1、R2の共通化が計れない複雑さが生じるデメリットがあることは前述した通りである。

【0048】これに対し、本形態によるスイッチ回路では、上記のバイアスオフセット調整を無くし回路の簡略化を目指すため、スイッチ回路を構成する差動対トランジスタQ3、Q2、Q1のトランジスタ面積比 $h : m : n$ の関係を $h+m=n$ の関係で回路を構成することにより、バイアス設定の簡略化を実現している。

【0049】図9のスイッチ回路と特性を同一にするためには、差動対トランジスタQ3、Q2、Q1のトランジスタ面積比 $h : m : n$ を1:1:2の関係にする。

【0050】トランジスタQ1のエミッタ面積 n を $n=2$ とし、(1)式のISの項を2倍とし、ベース・エミッタ間電圧VBE1を18mV下げることによりVBE23=VBE1とし、図9の回路特性と同じになるようにしている。すなわち、トランジスタ面積比 $h : m : n$ の関係は、 $h+m=n$ の比で構成すればVBE23=VBE1となり、入力電圧VINと基準電圧VREF間には電圧オフセットの調整は必要なくなり、回路設計の簡略化につながる。

【0051】また、このバイアス設定時は、制御入力端子12はオープンHIZの状態を想定しており、各トランジスタQ3、Q2、Q1に流れるコレクタ電流IC3、IC2、IC1の関係は、 $IC1 = (IC2 + IC3)$ の関係になり、出力電流ISWは $ISW = IC1 + IC2$ で得られるため、出力電流ISWの値は $ISW = (3/4) \cdot IO$ となる。

【0052】差動対回路の入力ダイナミックレンジは、入力電圧VIN、すなわちバイアス電圧と基準電圧VREF間に4VT(=100mV)以上の電圧差があれば

(7)

11

きる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の構成を示した回路図である。

【図2】図1の回路の応用例を示した回路図である。

【図3】図1に示されたスイッチ回路の作用を説明するための図である。

【図4】図3における3つのトランジスタのコレクタ電流とベース・エミッタ電圧の関係、及びベース電圧の関係を説明するための図である。

【図5】図1の等価回路図である。

【図6】本発明の第2の実施の形態の構成を示した回路図である。

【図7】本発明の第3の実施の形態の構成を示した回路図である。

【図8】本発明の第4の実施の形態の構成を示した回路図である。

【図9】図1のスイッチ回路におけるバイアス設定の問題点を説明するための回路図である。

【図10】図9の回路の入力電圧と出力電流との関係を示した図である。

12

【図11】本発明の第5の実施の形態の構成を示した回路図である。

【図12】図11の回路の入力電圧と出力電流との関係を示した図である。

【図13】本発明の第6の実施の形態の構成を示した回路図である。

【図14】図11の回路の変形例を示した回路図である。

【図15】図14の回路の入力電圧と出力電流との関係を示した図である。

【図16】図14の回路の変形例を示した回路図である。

【図17】従来の電流切り替え回路の構成を示した回路図である。

【符号の説明】

11 電流モード回路

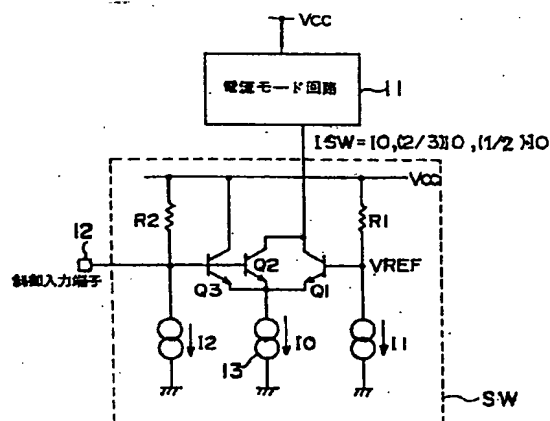
12 制御入力端子

13 定電流源

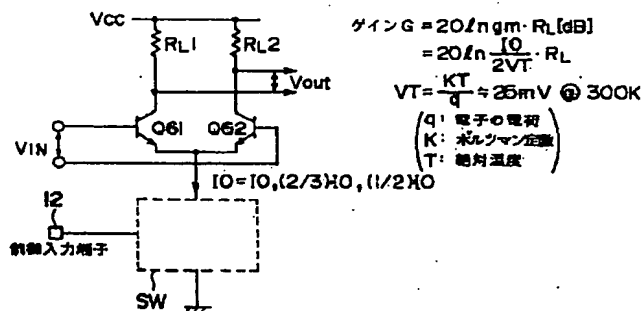
SW スイッチ回路

20 21、21' カレントミラー回路

【図1】

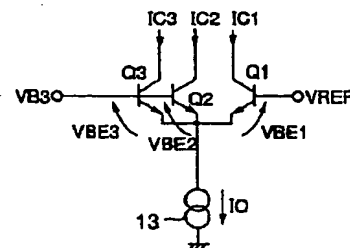
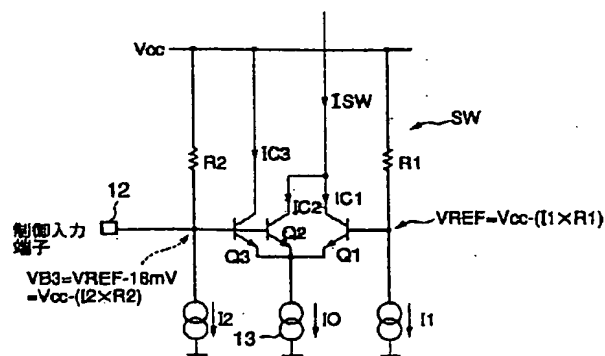


【図2】



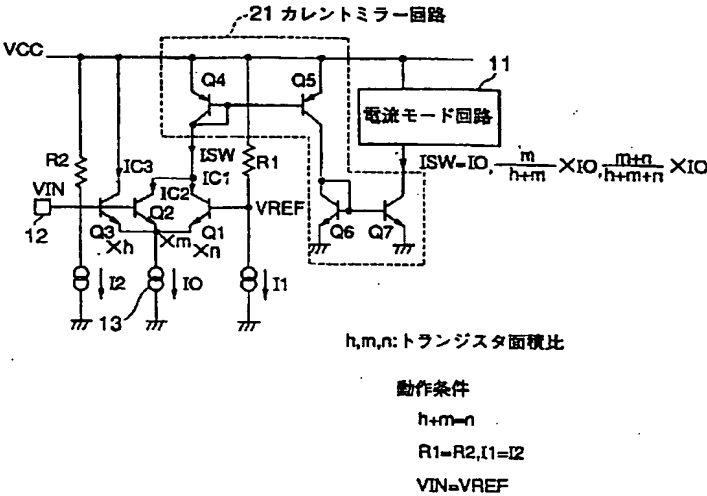
【図4】

【図3】

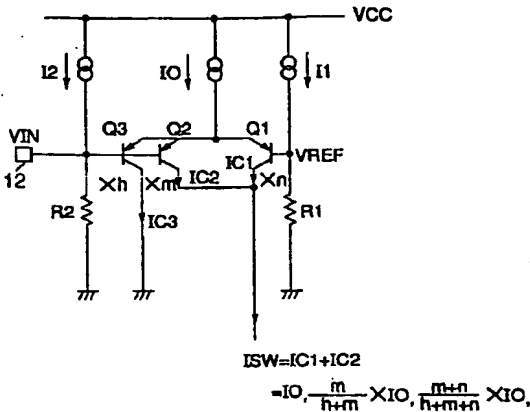


(9)

【図13】



【図14】



【図15】

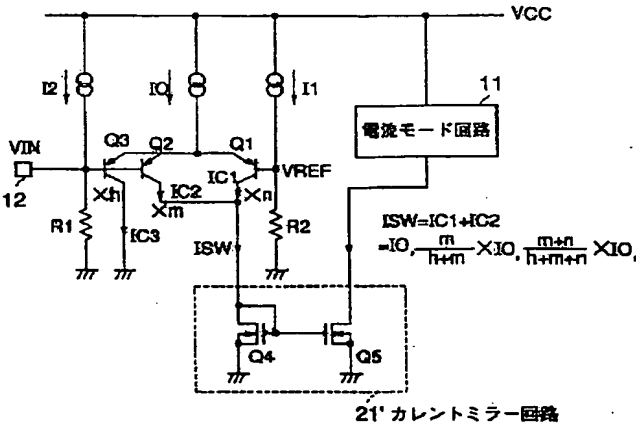
入力電圧VIN	出力電流ISW
L	$\frac{m}{h+m} \times IO *$
H	$IO *$
HIZ	$\frac{m+n}{h+m+n} \times IO$

動作条件 h+m=n
R1=R2, I1=I2
VIN=VREF

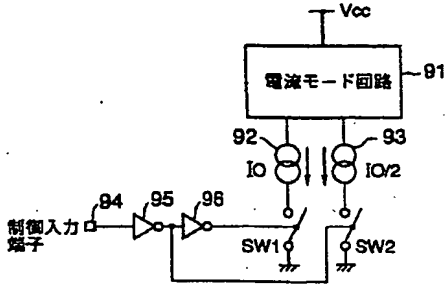
h, m, n: トランジスタ面積比

*図10のNPNトランジスタ構成と入力対出力特性反転

【図16】



【図17】



動作条件
h+m=n
R1=R2, I1=I2
VIN=VREF

h, m, n: トランジスタ面積比